

维修手册

适用机芯 ZLS46G 机芯

适用机型 LED B2000 系列

LED C2000 系列

LED C3000 系列

拟 制 2013 年 10 月

会 签 2013 年 10 月

审 核 _____ 2013 年 10 月

主 管 _____ 2013 年 10 月

批准 2013 年 10 月

四川长虹电器股份有限公司

多媒体产业公司

目 录

第一章 ZLS46G 机芯特点·····	3
第二章 ZLS46G 机芯框架构成·····	5
第三章 主要集成电路简介·····	6
第四章 整机信号流程分析及关键点测量数据·····	22
第五章 典型故障维修流程及实例·····	27
第六章 维备件及易损件清单·····	29
第七章 工厂模式设置及注意事项·····	30
附：一、长虹 ZLS46G 机芯液晶电视原理图（将以附件形式附带）	

第一章 ZLS46G 机芯特点

一、ZLS46G 机芯简介

ZLS46G 机芯是在 LS42S 机芯基础上增加 DTMB 功能的一款全新机芯，以 MSTAR 公司 TSUMV69XDS-SJ 为主芯片，带多媒体播放功能，支持多种编码格式的视频、音频文件播放，支持 HDMI1.4a、WXGA 屏、FHD 屏。基本功能包含 1 路 RF 输入、1 路 AV 输入、1 路 YPBPR 输入、1 路 VGA 输入、2 路 USB 输入、1 路 HDMI 输入和 1 路 AV 输出。

ZLS46G 机芯液晶电视覆盖产品尺寸从 42~48 寸,包括 50Hz/60Hz WXGA 屏(1366×768)、50Hz/60Hz FULL HD 屏（1920×1080）屏。主要包含的产品型号和配置见表 1。

表 1 ZLS46G 机芯产品型号及配置

接口 机型	RF、视频	YPbPr	HDMI	USB1、2	PC	AV 输出
LED42B2000C(LJ009) 及派生机	√	√	√	√	√	√
LED42B2000C(LJM005) 及派生机	√	√	√	√	√	√
LED42B2000C(LJM006) 及派生机	√	√	√	√	√	√
LED42C3000 (LJ009) 及派生机	√	√	√	√	√	√
LED42C2000 及派生机	√	√	√	√	√	√
LED46C2100	√	√	√	√	√	√
LED48C2080	√	√	√	√	√	√

二、主要功能特点

- 图像模式：用户、标准、柔和、亮丽
 - 伴音模式：标准、剧场、音乐、新闻、用户；
 - 音效：平衡、环绕声和自动音量控制
 - 缩放模式：4：3 模式(Normal)、16:9 全屏模式(Full)、电影模式(Cinema)、动态扩展模式(Panorama)；
 - 音画同步功能：USB 源下浏览图片的同时播放音乐；
 - 节目回叫、源回叫功能；
 - 节目管理功能：节目命名、节目交换；
 - 定时开关机功能：可设置液晶电视在预定的时间自动开机或关机；
 - 无信号自动关机：TV 状态下，无信号约 15 分钟后自动关机，进入待机状态；
 - 中英文菜单：采用简易方便的图形化菜单设计，使菜单操作更方便、更直观；
 - 省电功能（电源管理模式）：当本机用做 PC 的显示终端，且用户使用的 PC 无输出信号时，约 30 秒后液晶电视将自动关闭，进入待机省电模式，当按本机任意键或遥控器上任意键或 PC 再次出现时，液晶电视将自动打开；
 - 即插即用：作为电脑终端显示设备，无须单独配备安装软件，作到真正的即插即用；
 - 方便快速的在线升级程序，可选以下两种方式之一：
 - (1)、从 VGA 接口通过专用工装；
 - (2)、从 USB 接口，不需要专用工装，采用普通 U 盘直接插入即可；
 - 超低待机功耗，待机功耗 0.5W 以下；
 - 平均无故障时间 MTBF≥15000 小时；
 - 符合国标和企标的要求；
- 系统主要规格见表 2。

表 2 ZLS46G 机芯系统主要规格表

类 别		要 求
TV 信号制式	彩色	PAL
	伴音	D/K B/G I M/N
射频频率范围		48.25MHz—863.25MHz
预设频道数量		100 套
视频信号制式		PAL、NTSC
输入接口类型		1 路 RF；1 路 AV；1 路 YpbPr；1 路 HDMI；2 路侧置 USB；1 路 VGA（带音频耳机输入）
输出接口类型		1 路 AV 输出
YpbPr 支持格式		480i、480P、576i、576P、720P(50Hz/60Hz)、1080i(50Hz/60Hz)、1080P(50Hz/60Hz)
HDMI 支持格式		640×480、800×600、1024×768、1280×768、1280×1024@60Hz、720P(50Hz/60Hz)、1080i(50Hz/60Hz)、480i、480P、576i、576P、1080P(50Hz/60Hz)、1360×768、1366×768、1280×800、1920×1080
VGA 支持格式		640×480、800×600、1024×768、1280×768、1280×1024、1600x1200、1920×1080@60Hz 1360×768、1366×768、1280×800、1920×1080
USB 支持格式		◆ 支持 USB2.0 ◆ 支持 JPEG/PNG/BMP 图片浏览 ◆ 支持 MP3、WMA 解码 ◆ 支持 MPEG I / II / IV 解码 ◆ 支持 H.264/RM/TS 高清解码
其它		其它如亮度、对比度、响应时间、视角、分辨率、整机功耗等视液晶屏而定

第二章 ZLS42G 机芯框架构成

一、整机主要组件介绍

1、长虹 ZLS46G 机芯液晶电视主要由遥控接收板、按键板、主板、电源板和屏等部分组成，表 3 是各印制板组件功能的介绍。

表 3 ZLS46G 机芯 PCB 组件功能简介

序号	组件名称	功 能 描 述
1	主板组件	主板组件是液晶电视中对各种信号进行处理的核心部分，控制整机各个部分协调工作。 从高频头输入的中频信号、AV 端子输入的 CVBS 信号、VGA 输入的 RGB 信号、HDMI 输入的数字视频信号、HDTV (YPbPr) 输入的分量信号、USB 输入的多媒体数字信号在 TSUMV69XDS-SJ 中进行处理, 经过格式变换、画质增加、降噪等处理后，编码产生 LVDS 信号直接给屏显示。 从各端口输入的声音信号进入 TSUMV69XDS-SJ 进行音量控制、音效处理后输出到伴音功放放大后，送到扬声器发声。
2	遥控接收板组件	遥控接收板组件由一个工作指示灯和一个遥控接收头构成。用户通过该组件使用遥控器可以对液晶电视方便地进行操作，以及知道液晶电视所处的工作状态。
3	内置电源板组件	将 AC 220V 转换成所需要的直流电： +12V、LED+。
4	按键板组件	有 7 个功能按键。用户通过该组件可以对液晶电视方便地进行操作。
5	屏组件	液晶屏背灯被交流信号点亮后，将来自主板经处理后的图像信号进行显示。

2、ZLS46GS 机芯主板印制板布局及主要元器件位置示意图 1。

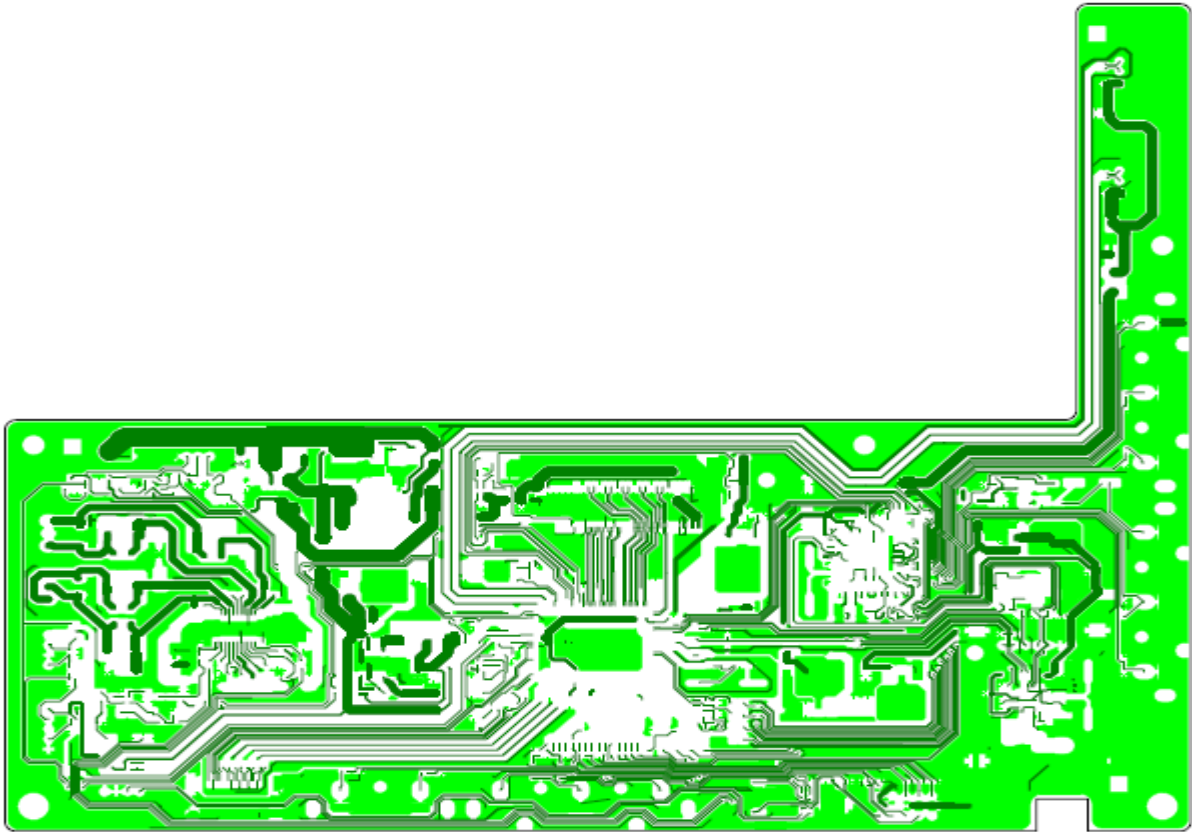


图 1 ZLS46G 机芯主板布局示意图

第三章 主要集成电路简介

一、ZLS46G 机芯主要集成电路及其功能见表 4。

表 4 ZLS46G 机芯主要 IC 型号及功能简介

主 板			
序号	位号	型 号	主 要 功 能
1	U13	TSUMV69XDS-SJ	主处理芯片, 对各信号源接口信号进行如 ADC、Video Decoder、Scaler、Audio ADC、Audio DSP、3D 梳状滤波、多媒体解码、LVDS TX 等处理后送到屏和伴音功放。主芯片也包括了 OSD 显示、MCU 控制功能。
2	U2	A04803A 或 IRF7314	液晶屏上屏电源控制开关
3	U26	MX25L3206EM2I-12G 或 EN25Q32A-100HIP	Flash, 存储整机控制程序、HDMI HDCP KEY 数据, 用户调整的模拟量数据
4	U7	SYC813FCC	DC-DC, 输出系统所需的 5V 电压
5	U6	SYC812FAC	DC-DC, 输出主芯片核心供电 1.29V
6	U25、U32 U9	AP1117E33G-13	LDO, 输出系统所需 3.3V 电压
7	U802	TPA3110D2PWPR	伴音功放
8	U801	TDA18257HN/C1	TUNER, RF 接收解调输出模拟中频信号
9	U41	AZ1117H-ADJ	LDO, 输出 DDR 所需 1.8V 电压
10	U10	AZ1117CH-1.2TRG1	LDO, 输出 DEMO 所需 1.2V 电压
11	U8	AVL6361TB	DEMO, 解码 DTMB 中频信号

二、ZLS46G 机芯集成电路介绍

1、ZLS46G 机芯高频头(器件公司 DMI22-C2I1RH 或 NXP 板载 SI tuner 18257 方案)。

a、器件公司 DMI22-C2I1RH 管脚功能简介：

表 5 DMI22-C2I1RH 管脚功能简介

管脚	管脚定义	管 脚 功 能 描 述
1	VCC	接电源 VCC_IF
2	GND	接地脚
3	SCL	IIC 总线(时钟)
4	SDA	IIC 总线(数据)
5	AGC	自动增益控制脚
6	IF1	图像、伴音中频输出
7	IF2	图像、伴音中频输出

b、NXP 方案板载 SI tuner 18257 管脚如图 2，管脚功能如图 3：

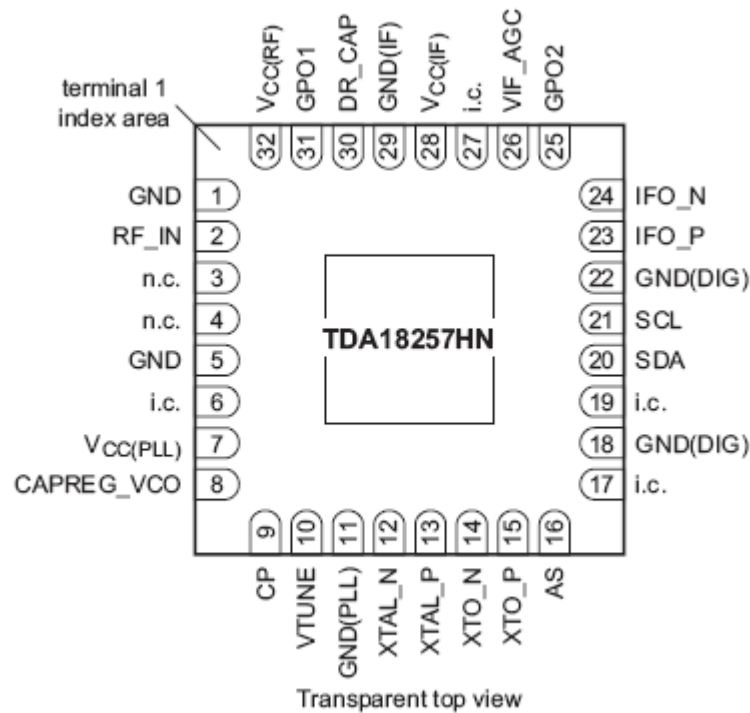


图 2 18257 引脚图

Table 4. Pin description

Symbol	Pin	Type ^[1]	Description
GND	1	G	ground
RF_IN	2	I	unbalanced RF input
n.c.	3	-	not connected
n.c.	4	-	not connected
GND	5	G	ground
i.c.	6	-	internally connected
V _{CC} (PLL)	7	P	PLL supply voltage
CAPREG_VCO	8	P	VCO supply decoupling
CP	9	O	charge pump
VTUNE	10	I	VCO tuning voltage
GND(PLL)	11	G	PLL ground
XTAL_N	12	I	crystal oscillator negative input or external reference clock positive input
XTAL_P	13	I	crystal oscillator positive input or external reference clock negative input
XTO_N	14	O	crystal oscillator negative output buffer
XTO_P	15	O	crystal oscillator positive output buffer
AS	16	I	I ² C-bus address selection
i.c.	17	-	internally connected
GND(DIG)	18	G	digital ground

i.c.	19	-	internally connected
SDA	20	I/O	I ² C-bus data
SCL	21	I	I ² C-bus clock
GND(DIG)	22	G	digital ground
IFO_P	23	O	IF positive output
IFO_N	24	O	IF negative output
GPO2	25	O	general purpose output 2
VIF_AGC	26	I	IF gain control input
i.c.	27	-	internally connected
V _{CC(IF)}	28	P	IF supply voltage
GND(IF)	29	G	IF ground
DR_CAP	30	I	external capacitor for time constant
GPO1	31	O	general purpose output 1
V _{CC(RF)}	32	P	RF supply voltage
Exposed die pad	-	G	exposed die pad; must be connected to ground

[1] P = power supply; G = ground; I = input, O = output; I/O = input/output.

图 3 18257 管脚功能

2、主芯片 TSUMV69XDS-SJ

TSUMV69XDS-SJ 支持 50Hz/60Hz WXGA 屏（1366×768）、50Hz/60Hz FULL HD 屏（1920×1080）屏，具备 USB2.0 接口功能，具有如下主要特点：

- 内置 512Mb DDR II；
- 内置 VIF demodulator 和 Vidio decoder，支持多种制式视频信号处理；
- 处理单通道 TS 流信号
- 内置 2 路模拟 RGB 输入支持到 1080P60 信号；
- 内置 2 路 HDMI 接收器（支持 V1.4a 标准），最大可支持 1080P@60Hz 225MHz 12-bit 色深的高清信号；
- 内置 2 路 USB2.0 接收器，支持 MPEG1/2/4、H.264、RM、RMVB、MOV、MJPEG、DIVX 等视频文件解码，支持 JPG、BMP、PNG 等图像文件解码和 MP3、M4A(AAC)、WMA 等音频文件的解码；
- 内置 3D De-interlace、3D COMB FILTER、3D NR 功能；
- 内置 Audio ADC、Audio DSP、Audio DAC；
- 12bit 的 GAMMA 校正；
- 具有双路 8bit—10bit LVDS 输出，可支持 1920*1080 的全高清液晶屏；
- 支持 USB 端口升级软件；

TSUMV69XDS-SJ 引脚分布见图 4：

RXA1IN	6	97	CSZ
RXA1P	7	96	SDO
DDCDA_DA	8	95	SDI
RXA2IN	9	94	SCK
RXA2P	10	93	PWM2
DDCDA_CK	11	92	TS1_D[0]
ARC	12	91	TS1_CLK
AVDD_12	13	90	TS1_SYNC
HSYNCO	14	89	TS1_VLD
BIN0P	15	88	GPIO[65]
SOGIN0	16	87	VDDC
GIN0P	17	86	LVB0M
GIN0M	18	85	LVB0P
RIN0P	19	84	LVB1M
VSYNCO	20	83	LVB1P
AVDD_ADC33	21	82	AVDD_MOD
BIN1P	22	81	LVB2M
SOGIN1	23	80	LVB2P
GIN1P	24	79	LVBCKM
GIN1M	25	78	LVBCKP
RIN1P	26	77	LVB3M
VSYNC1	27	76	LVB3P
HSYNC1	28	75	LVB4M
CVBS2	29	74	LVB4P



9

PIN DESCRIPTION

Analog Interface

Pin Name	Pin Type	Function	Pin
HSYNC0	Schmitt Trigger Input w/ 5V-tolerant	HSYNC / Composite Sync for VGA Input from channel 0	14
VSYNC0	Schmitt Trigger Input w/ 5V-tolerant	VSYNC for VGA Input from channel 0	20
HSYNC1	Schmitt Trigger Input w/ 5V-tolerant	HSYNC / Composite Sync for VGA Input from channel 1	28
VSYNC1	Schmitt Trigger Input w/ 5V-tolerant	VSYNC for VGA Input from channel 1	27
BIN0P	Analog Input	Analog Blue Input from Channel 0	15
BIN1P	Analog Input	Analog Blue Input from Channel 1	22
GIN0M	Analog Input	Reference Ground for Analog Green Input from Channel 0	18
GIN1M	Analog Input	Reference Ground for Analog Green Input from Channel 1	25
GIN0P	Analog Input	Analog Green Input from Channel 0	17
GIN1P	Analog Input	Analog Green Input from Channel 1	24
SOGIN0	Analog Input	Sync On Green Input from Channel 0	16
SOGIN1	Analog Input	Sync On Green Input from Channel 1	23
RIN0P	Analog Input	Analog Red Input from Channel 0	19
RIN1P	Analog Input	Analog Red Input from Channel 0	26
IM	Analog Input	ADC I Channel Differential Negative Input	54
IP	Analog Input	ADC I Channel Differential Positive Input	53

Analog Video Input/Output Interface

Pin Name	Pin Type	Function	Pin
CVBS2	Analog Input	CVBS (Composite) Video Input Channel 2	29
CVBS1	Analog Input	CVBS (Composite) Video Input Channel 1	30
CVBS0	Analog Input	CVBS (Composite) Video Input Channel 0	31
VCOM	Analog Input	CVBS Input Reference Ground	32
CVBSOUT1	Analog Output	CVBS (Composite) Video Output Channel 1	33

Analog Audio Input/Output Interface

Pin Name	Pin Type	Function	Pin
LINEIN_L1	Analog Input	Audio Line Input Left Channel 1	37
LINEIN_R1	Analog Input	Audio Line Input Right Channel 1	38
LINEIN_L3	Analog Input	Audio Line Input Left Channel 3	39
LINEIN_R3	Analog Input	Audio Line Input Right Channel 3	40
LINEIN_L4	Analog Input	Audio Line Input Left Channel 4	41
LINEIN_R4	Analog Input	Audio Line Input Right Channel 4	42
LINEIN_L5	Analog Input	Audio Line Input Left Channel 5	43
LINEIN_R5	Analog Input	Audio Line Input Right Channel 5	44
AUVAG	Analog Output	Reference Voltage for Audio Common Mode	36
AUREFM	Analog Output	Negative Reference Voltage for Audio ADC	35
LINEOUT_L0	Analog Output	Main Audio Output Left Channel 0	47
LINEOUT_R0	Analog Output	Main Audio Output Right Channel 0	48
LINEOUT_L3	Analog Output	Main Audio Output Left Channel 3	45
LINEOUT_R3	Analog Output	Main Audio Output Right Channel 3	46

TS Input/Output Interface

Pin Name	Pin Type	Function	Pin
TS1_D[0]	I/O w/ 5V-tolerant	TS Data in Parallel [7:0]	92
TS1_CLK	I/O w/ 5V-tolerant	TS Clock	91
TS1_SYNC	I/O w/ 5V-tolerant	TS Sync-Byte Indicator	90
TS1_VLD	I/O w/ 5V-tolerant	TS Data Valid	89

LVDS Interface

Pin Name	Pin Type	Function	Pin
LVA0M	Output	LVDS A-Link Channel 0 Negative Data Output	73
LVA0P	Output	LVDS A-Link Channel 0 Positive Data Output	72
LVA1M	Output	LVDS A-Link Channel 1 Negative Data Output	71
LVA1P	Output	LVDS A-Link Channel 1 Positive Data Output	70
LVA2M	Output	LVDS A-Link Channel 2 Negative Data Output	69
LVA2P	Output	LVDS A-Link Channel 2 Positive Data Output	68
LVA3M	Output	LVDS A-Link Channel 3 Negative Data Output	64
LVA3P	Output	LVDS A-Link Channel 3 Positive Data Output	63
LVA4M	Output	LVDS A-Link Channel 4 Negative Data Output	62
LVA4P	Output	LVDS A-Link Channel 4 Positive Data Output	61
LVACKM	Output	LVDS A-Link Negative Clock Output	66
LVACKP	Output	LVDS A-Link Positive Clock Output	65
LVB0M	Output	LVDS B-Link Channel 0 Negative Data Output	86
LVB0P	Output	LVDS B-Link Channel 0 Positive Data Output	85
LVB1M	Output	LVDS B-Link Channel 1 Negative Data Output	84
LVB1P	Output	LVDS B-Link Channel 1 Positive Data Output	83
LVB2M	Output	LVDS B-Link Channel 2 Negative Data Output	81
LVB2P	Output	LVDS B-Link Channel 2 Positive Data Output	80
LVB3M	Output	LVDS B-Link Channel 3 Negative Data Output	77
LVB3P	Output	LVDS B-Link Channel 3 Positive Data Output	76
LVB4M	Output	LVDS B-Link Channel 4 Negative Data Output	75
LVB4P	Output	LVDS B-Link Channel 4 Positive Data Output	74
LVBCKM	Output	LVDS B-Link Negative Clock Output	79
LVBCKP	Output	LVDS B-Link Positive Clock Output	78

DVI/HDMI Interface

Pin Name	Pin Type	Function	Pin
RXACKN	DVI/HDMI Input	Negative DVI/HDMI Input for A Link Clock Channel	1
RXACKP	DVI/HDMI Input	Positive DVI/HDMI Input for A Link Clock Channel	2
RXA0N	DVI/HDMI Input	Negative DVI/HDMI Input for A Link Data Channel 0	3
RXA0P	DVI/HDMI Input	Positive DVI/HDMI Input for A Link Data Channel 0	4
RXA1N	DVI/HDMI Input	Negative DVI/HDMI Input for A Link Data Channel 1	6
RXA1P	DVI/HDMI Input	Positive DVI/HDMI Input for A Link Data Channel 1	7
RXA2N	DVI/HDMI Input	Negative DVI/HDMI Input for A Link Data Channel 2	9
RXA2P	DVI/HDMI Input	Positive DVI/HDMI Input for A Link Data Channel 2	10
RXDCKN	DVI/HDMI Input	Negative DVI/HDMI Input for D Link Clock Channel	118
RXDCKP	DVI/HDMI Input	Positive DVI/HDMI Input for D Link Clock Channel	119
RXD0N	DVI/HDMI Input	Negative DVI/HDMI Input for D Link Data Channel 0	120
RXD0P	DVI/HDMI Input	Positive DVI/HDMI Input for D Link Data Channel 0	121
RXD1N	DVI/HDMI Input	Negative DVI/HDMI Input for D Link Data Channel 1	123
RXD1P	DVI/HDMI Input	Positive DVI/HDMI Input for D Link Data Channel 1	124
RXD2N	DVI/HDMI Input	Negative DVI/HDMI Input for D Link Data Channel 2	126
RXD2P	DVI/HDMI Input	Positive DVI/HDMI Input for D Link Data Channel 2	127
ARC	DVI/HDMI Output	Audio Return Channel	12

Serial Flash Interface

Pin Name	Pin Type	Function	Pin
CSZ	Output	SPI Flash Chip Select	97
SDO	Input w/ 5V-tolerant	SPI Flash Serial Data Output	96
SDI	Output	SPI Flash Serial Data Input	95
SCK	Output	SPI Flash Serial Clock	94

GPIO Interface

Pin Name	Pin Type	Function	Pin
GPIO[65]	I/O	General Purpose Input/Output [65]	88
GPIO[56:55]	I/O	General Purpose Input/Output [56:55]	58, 57
GPIO[11]	I/O	General Purpose Input/Output [11]	103
PWM2	Output	Pulse Width Modulation Output; 4mA driving strength	93
PWM1	Output	Pulse Width Modulation Output; 4mA driving strength	106
PWM0	Output	Pulse Width Modulation Output; 4mA driving strength	105
SAR2	Analog Input	SAR Low Speed ADC Input 2	112
SAR1	Analog Input	SAR Low Speed ADC Input 1	111
SAR0	Analog Input	SAR Low Speed ADC Input 0	110

USB Interface

Pin Name	Pin Type	Function	Pin
DP_P1	Analog I/O	USB Non Inverting Data Input/Output for Port 1	102
DM_P1	Analog I/O	USB Inverting Data Input/Output for Port 1	101
DP_P0	Analog I/O	USB Non Inverting Data Input/Output for Port 0	99
DM_P0	Analog I/O	USB Inverting Data Input/Output for Port 0	98

VIF Interface

Pin Name	Pin Type	Function	Pin
TAGC	Analog Output	Tuner Automatic Gain Control Output	55

Misc. Interface

Pin Name	Pin Type	Function	Pin
DDCDA_CK	Input w/ 5V-tolerant	HDCP Serial Bus Clock / DDC Clock of DVI/HDMI Port A	11
DDCDA_DA	I/O w/ 5V-tolerant	HDCP Serial Bus Data / DDC Data of DVI/HDMI Port A	8
DDCDD_CK	Input w/ 5V-tolerant	HDCP Serial Bus Clock / DDC Clock of DVI/HDMI Port D	125
DDCDD_DA	I/O w/ 5V-tolerant	HDCP Serial Bus Data / DDC Data of DVI/HDMI Port D	122
HOTPLUGA	I/O w/ 5V-tolerant	Hot-plug control for DVI/HDMI Port A	128
HOTPLUGD	I/O w/ 5V-tolerant	Hot-plug control for DVI/HDMI Port D	117
DDCA_DA	I/O w/ 5V-tolerant	DDC Data for Analog port	108
DDCA_CK	I/O w/ 5V-tolerant	DDC Clock for Analog port	107
RESET	I/O w/ 5V-tolerant	Chip Reset; High Reset	115
CEC	I/O	Consumer Electronics Control	114
IRIN	Input w/ 5V-tolerant	IR Receiver Input	113
XIN	Analog Input	Crystal Oscillator Input	50
XOUT	Analog Output	Crystal Oscillator Output	49

Power Pins

Pin Name	Pin Type	Function	Pin
AVDD_PLL	3.3V Power	PLL Power	59
AVDD_DMPLL	3.3V Power	Crystal Power	51
AVDD_12	1.26V Power	Analog 1.26V Power	13
AVDD_AU33	3.3V Power	Audio Power	34
AVDD_ADC33	3.3V Power	Video ADC Power	21
AVDD_REF	3.3V Power	Demod ADC Power	52
AVDD_MOD	3.3V Power	MOD 3.3V Power	5, 67, 82, 100

VDDC	1.26V Power	Digital Core Power	60, 87
VDDIO_CMD	1.8V Power	DDR Command Power	56
VDDIO_DATA	1.8V Power	DDR Data Power	109
GND	Ground	Ground	104, 116

图5 TSUMV69XDS-SJ 引脚说明

4. 伴音功放 TPA3110D2PWPR

TPA3110D2PWPR是美国德州仪器(TI)公司开发的单声道数字音频功率放大器, 包括一个15W的D类立体声音频功率放大器, 只需少量的外部组件就可直接驱动扬声器。

其主要特点如下:

- 高效 D 类操作;
- 支持无滤波器操作;
- SpeakerGuard™ 扬声器保护电路;
- 4 个可选固定增益设置;
- 宽工作电压: 8V—26V;
- 具有自动恢复功能的短路保护功能;

TPA3110D2PWPR 内部框图如图 6 所示, 引脚图如图 7 所示, 引脚功能简介见表 6。

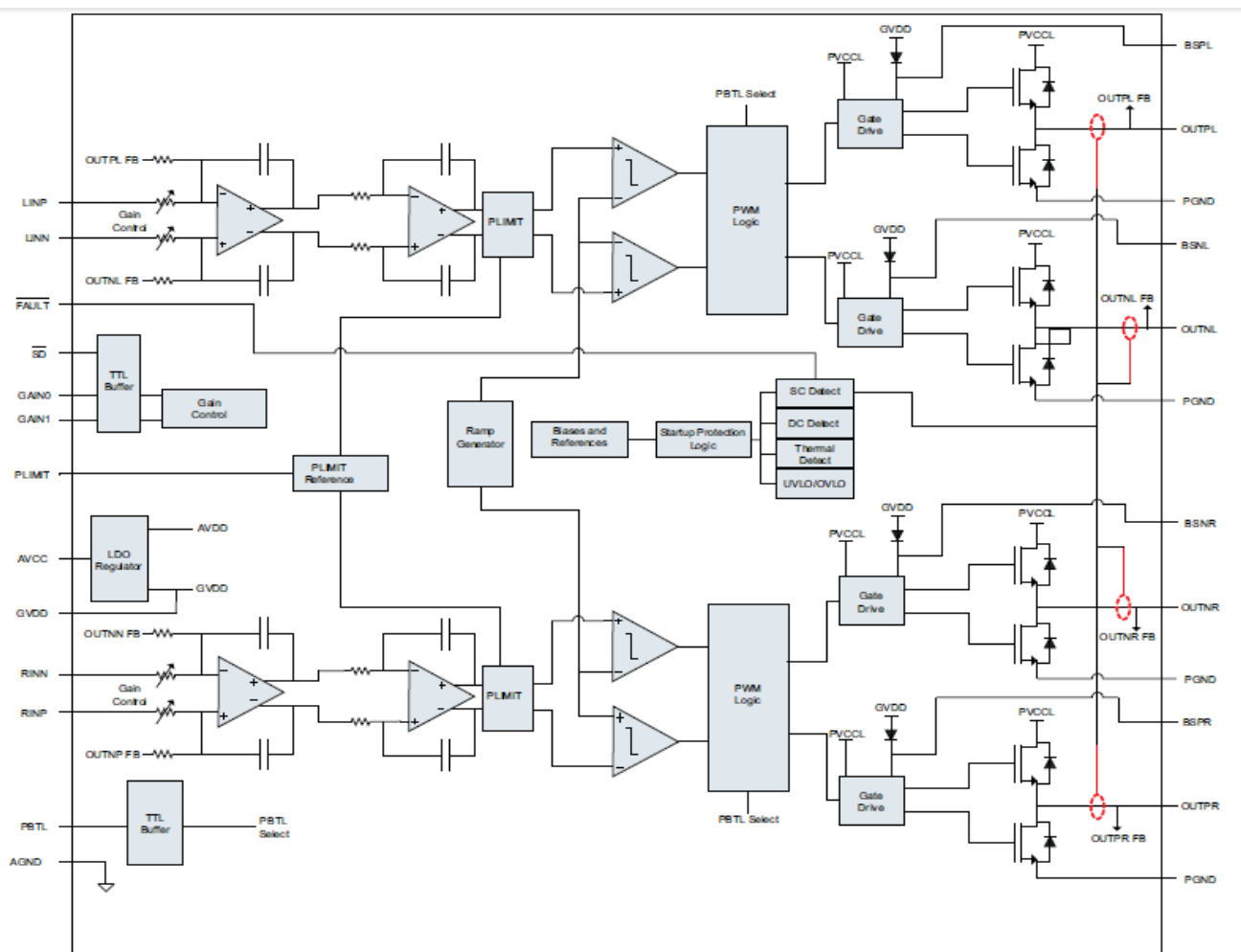


图6 TPA3110D2PWPR功能框图

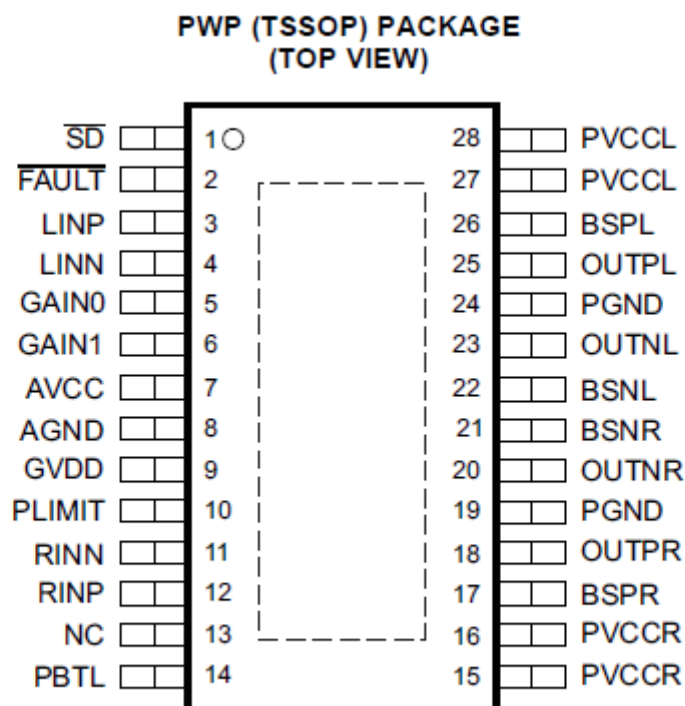


图7 功放管脚示意图

表6 R2A15122FP主要管脚定义

引脚	引脚名称	功能
1	/SD	音频放大逻辑输入关闭脚
2	/FAULT	短路检测或故障直流检测脚
3	LINP	左声道正极输入脚
4	LINN	左声道负极输入脚
5	GAIN0	最小位数增益选择脚
6	GAIN1	最大位数增益选择脚
7	AVCC	模拟电压供电
8	AGND	模拟信号地
9	GVDD	高压侧 FET 栅极供电，正常值为 7V
10	PLIMIT	电压限制调节脚，设定电压限制幅值
11	RINN	右声道负极输入脚
12	RINP	右声道正极输入脚
13	NC	NC
14	PBTL	并行 BTL 模式开关
15	PVCCR	右声道 H 桥电源输入脚
16	PVCCR	右声道 H 桥电源输入脚
17	BSPR	右声道自举放大 I/O 脚, 高压 FET 正极
18	OUTPR	右声道 D 类 H 桥正极输出
19	PGND	电源地
20	OUTNR	右声道 D 类 H 桥负极输出
21	BSNR	右声道自举放大 I/O 脚, 高压 FET 负极
22	BSNL	左声道自举放大 I/O 脚, 高压 FET 负极
23	OUTNL	左声道 D 类 H 桥负极输出

24	PGND	电源地
25	OUTPL	左声道 D 类 H 桥正极输出
26	BSPL	左声道自举放大 I/O 脚, 高压 FET 正极
27	PVCCL	左声道 H 桥电源输入脚, 左、右声道电源脚在芯片内部连接
28	PVCCL	左声道 H 桥电源输入脚, 左、右声道电源脚在芯片内部连接

5、DC-DC 转换器 SYC813FCC

SYC813FCC 是降压 DC-DC 电源转换 IC。最大输出电流 3.0A，输入电压范围宽达 4.5V—20V，内部 MOS 开关 $R_{DS(ON)}$ 130/90m Ω (top/bottom)，开关频率恒定为 500KHz。ZLS46G 机芯使用中输入电压为+12.3V，输出电压为 +5.0V。SYC813FCC 管脚如图 8：

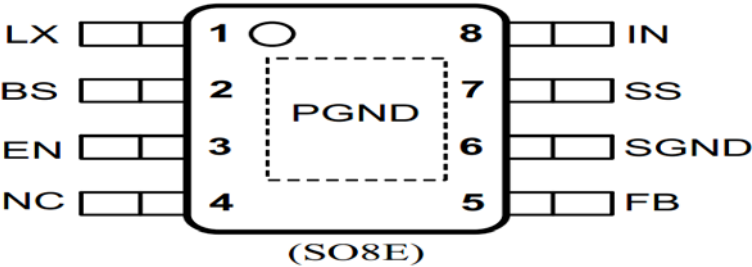


图 8 SYC813 管脚图

SYC813FCC 管脚功能如表 7：

表 7 SYC813FCC 管脚功能

管脚名	管脚号	说明
BS	2	Boost-strap 输入脚
IN	8	电源输入脚
LX	1	DCDC 转换输出脚，接电感，根据负责大小输出不同占空比方波
PGND	PGND	电源地
FB	5	反馈脚，通过检测反馈脚电压控制输出电压精度； $V_{OUT}=0.6*(1+R_1/R_2)$
SGND	6	信号地，需连接到电源地脚
EN	3	使能脚，高电平有效，不能悬空
SS	7	软启动脚，通过耦合电容接到信号地设置软启动时间
NC	4	NC

SYC813FCC 原理框图如图 9 所示：

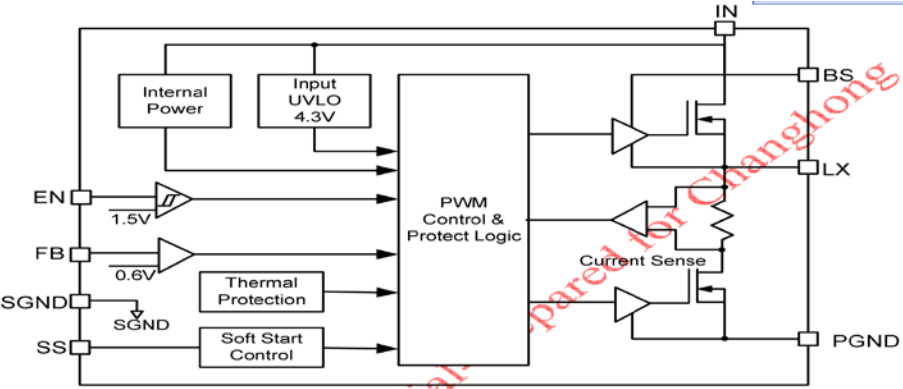


图 9 SYC813 原理框图

6、DC-DC 转换器 SYC812FAC

SYC812FAC 是降压 DC-DC 电源转换 IC。最大输出电流 2.0A，输入电压范围宽达 4.5V—20V，内部 MOS 开关 $R_{DS(ON)}$ 1501190mΩ（top/bottom），开关频率恒定为 500KHz。ZLS46G 机芯使用中输入电压为+5.0V，输出电压为 +1.25V。SYC812FAC 管脚如图 10 所示：

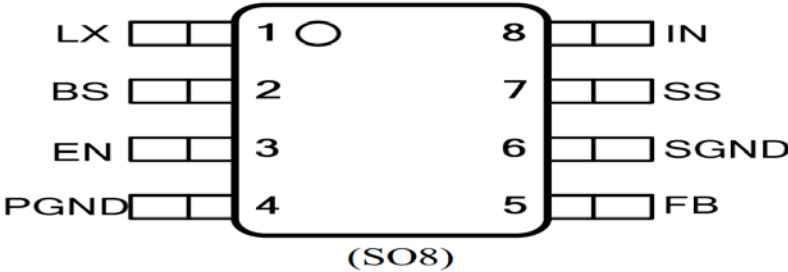


图10 SYC812管脚图

SYC812FAC 管脚定义如表 8 所示：

表 8 SYC812FAC 管脚定义

管脚名	管脚号	说明
BS	2	Boost-strap 输入脚
IN	8	电源输入脚
LX	1	DCDC 转换输出脚，接电感，根据负责大小输出不同占空比方波
PGND	4	电源地
FB	5	反馈脚，通过检测反馈脚电压控制输出电压精度； $V_{out}=0.6*(1+R_1/R_2)$
SGND	6	信号地，需连接到电源地脚
EN	3	使能脚，高电平有效，不能悬空
SS	7	软启动脚，通过耦合电容接到信号地设置软启动时间

SYC812FAC 原理框图如图 11 所示：

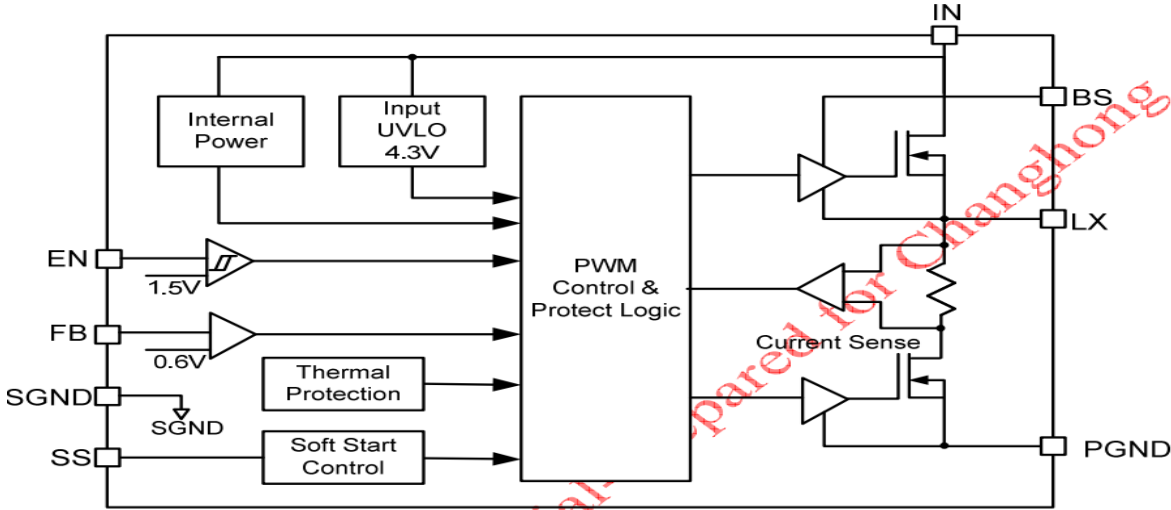


图11 SYC812原理框图

7、32Mbit 串行 FLASH（U26：MX25L32）

MX25L32 供电电压在 2.7V~3.6V 之间，软件保护设置为只读模式，硬件通过（WP 脚）可设置写保护，是主程序存储器。

MX25L32 的管脚示意如图 12，内部原理框图如图 13，管脚说明如表 9：

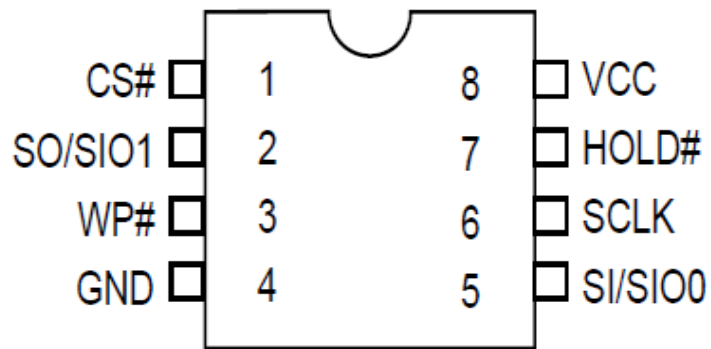


图 12

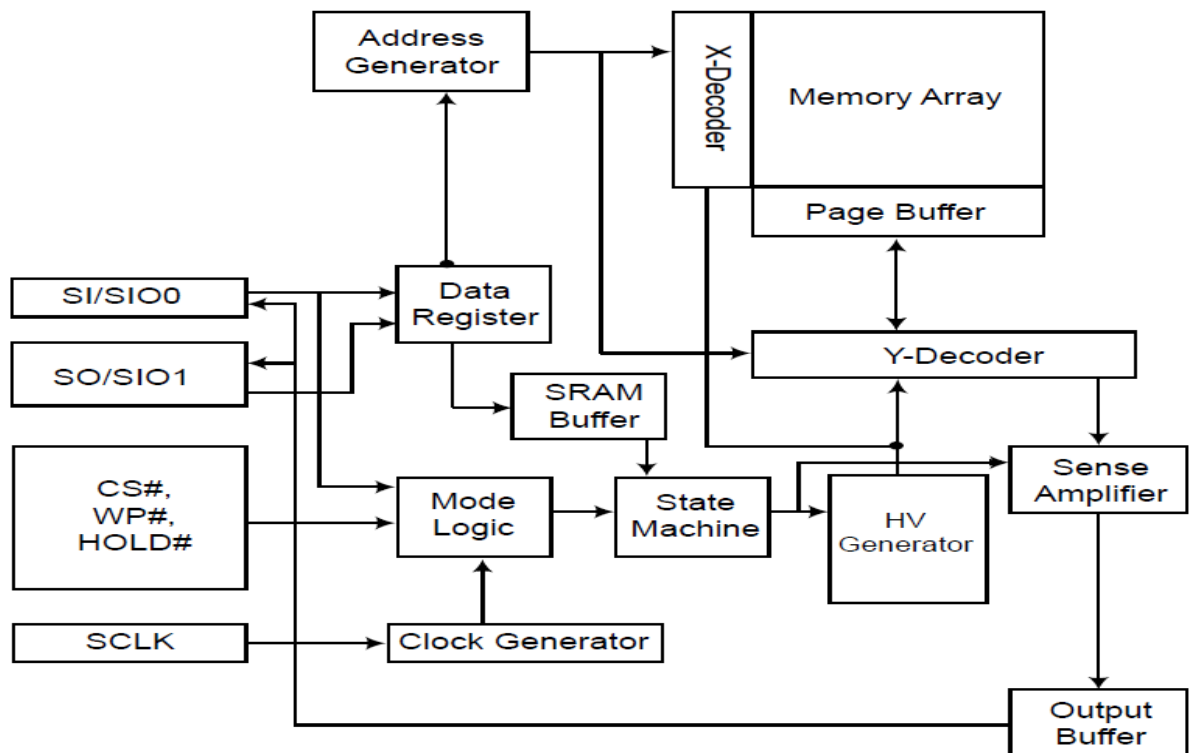


图 13

表 9 管脚说明

引脚	引脚名称	引脚功能
1	CS#	片选控制，低电平有效
2	DO	串行数据输出
3	WP#	硬件写保护，低电平保护
4	GND	接地
5	DI	串行数据输入
6	CLK	串行数据时钟输入
7	HOLD#	低电平时暂时停止与 MCU 之间的通讯
8	VCC	供电，+3.3V

8、DTMB 数字信号解码芯片 (U8: AVL6361TB)

原理框图如下

The diagram illustrates the architecture of a DVB-T receiver. It is divided into several functional blocks:

- Antenna:** UHF/VHF antenna connected to the Tuner.
- Tuner:** Receives the signal from the antenna and outputs I/Q signals to the A/D & IF AGC block. It also receives IFAGC feedback from the A/D & IF AGC block.
- Control and Reference:**
 - PLL:** Receives XTAL (crystal) input and provides carrier/time recovery signals to the Digital Down Converter and the DVBC Equalizer.
 - Tuner I2C Control Interface:** Connected to the Tuner.
 - 2-wire control interface:** Connected to the PLL and the Digital Down Converter.
- Core Processing (Orange Box):**
 - A/D & IF AGC:** Receives I/Q signals from the Tuner and outputs to the Digital Down Converter.
 - Digital Down Converter:** Receives signals from the A/D & IF AGC and the PLL. It outputs to the DVBC Equalizer and the Channel estimation and Equalizer.
 - DVBC Equalizer:** Part of the DVBC (Digital Video Broadcasting) section. It outputs to the DVBC FEC decoder and the TS Out Serial/Parallel block.
 - DVBC FEC decoder:** Also part of the DVBC section, receiving input from the DVBC Equalizer and outputting to the TS Out Serial/Parallel block.
 - Channel estimation and Equalizer:** Part of the DTMB (Digital Terrestrial Multimedia Broadcast) section. It receives input from the Digital Down Converter and outputs to the SDRAM.
 - SDRAM:** Receives data from the Channel estimation and Equalizer and outputs to the SDRAM interface.
 - SDRAM interface:** Connected to the SDRAM and the Deinterleaver & LDPC Decoder.
 - Deinterleaver & LDPC Decoder:** Part of the DTMB section. It receives input from the SDRAM interface and outputs to the TS Out Serial/Parallel block.
 - TS Out Serial/Parallel:** Receives data from the DVBC FEC decoder and the Deinterleaver & LDPC Decoder. It outputs to the MPEG Decoder.
- MPEG Decoder:** Receives the final output from the TS Out Serial/Parallel block.

管脚示意图如下:

AVL6361TB 管脚定义如图16下:

Power and Ground

管脚名	管脚号	管脚定义与功能
VDDC	11、16、20、29、37、45、48、53、59	数字供电脚（1.2V），所有管脚都要连通
VDDIO	15、18、27、30、36、44、49、52、54、55、56、57	数字供电脚（3.3V 或2.5V），所有管脚都要连通
GND	2、6、9、21、28、40、60	接地脚，每个管脚都要连接
ADC_AVDD	1、5	用于 ADC 转换的模拟供电脚（1.2V）
PLL_AVDD	10	用于 PLL 的模拟供电（1.2V）
REFCLK_AVDD	61	模拟供电的参考时钟

Table 2-1 - Pin Type Definition

TYPE	DEFINITION
I	Input
O	Output, pin is always driven
BI	Bidirectional
OD	Open drain. Either driven low or held in Hi-Z
TRI	Tri-state. Either driven output or held in Hi-Z state.

NAME	PIN	TYPE	DESCRIPTION
------	-----	------	-------------

Signal Inputs

ADC_IP ADC_IN	3 4	I	Differential Analog In I Channel. Refer to Section 7.3 for single channel input connection. It needs to be pulled down via 0.1uF decoupling cap to minimize the noise when not in use.
ADC_QP ADC_QN	7 8	I	Differential Analog In Q Channel. Refer to Section 7.3 for single channel input connection. It needs to be pulled down via 0.1uF decoupling cap to minimize the noise when not in use.

Front End Interface Controls

IFAGC	58	TRI	Tri-state controlled through programmable user interface. IF analog gain control output (external RC Filter required)
SCL2	12	I/OD	2-wire bus clock to tuner front end; the open-drain output requires a pull-up resistor (typically 2.7 kΩ) to be connected between SCL2 and 3.3V for proper operation

SDA2	13	I/OD	2-wire serial bus data for tuner front end; the open-drain output requires a pull-up resistor (typically 2.7 k Ω) to be connected between SDA2 and 3.3V for proper operation
------	----	------	--

Crystal Control

PLL_REFCLK_XI	62	I	Reference clock or crystal oscillator input
PLL_REFCLK_XO	63	O	Crystal oscillator output
XTRL_EN_B	60	I	Crystal oscillator enable control. Active low. If feature not used then tie pin low.

Others

LOCK	19	O	An output signal that is high when the receiver is locked and low otherwise.
SCL1	31	I/OD	Host 2-wire serial bus clock input; nominally a square wave with a maximum frequency of 400 kHz generated by the bus master; the open-drain output requires a pull-up resistor (typically 2.7 k Ω) to be connected between SCL1 and 3.3V/2.5V for proper operation
SDA1	32	I/OD	Host 2-wire serial bus data; the open-drain output requires a pull-up resistor (typically 2.7 k Ω) to be connected between SDA1 and 3.3V/2.5V for proper operation
CS_0	14	BI	During reset, the CS_0 input signal sets the LSB of the seven bit two-wire bus address. The remaining bits of the address are fixed internally to 001010, therefore the complete two-wire serial bus address is (MSB to LSB): 0,0,1,0,1,0, CS_0. Use a 10k resistor and pull CS_0 down to ground or up to VDDIO. This pin should not be tied directly to VDDIO or ground. It can be configured as output for the debug purpose
RST_B	17	I	Active low digital device reset. Must be held low during power on until input supplies are stable.

JTAG and Scan

TDI	25	I	JTAG serial test data input; data is shifted in on the rising edge of TCLK. This signal should be tied to ground if not used and should not be left unconnected.
TDO	22	O	JTAG serial test data output; data is shifted out on the falling edge of TCLK. This signal can be left unconnected if not used.

TCLK	26	I	JTAG clock input. This signal should be tied to ground if not used and should not be left unconnected.
TMS	23	I	Input pin that provides the control signal to determine the transitions of the TAP controller state machine. Transitions within the state machine occur at the rising edge of TCLK. Therefore, TMS should be set up before the rising edge of TCLK. This signal should be tied to ground if not used and should not be left unconnected.
TRST_N	24	I	Active-low input to asynchronously reset the boundary-scan circuit. This signal should be tied to ground if not used and should not be left unconnected.

MPEG Outputs

MPEG_DATA_7 MPEG_DATA_6 MPEG_DATA_5 MPEG_DATA_4 MPEG_DATA_3 MPEG_DATA_2 MPEG_DATA_1 MPEG_DATA_0	38 39 41 42 43 46 47 50	TRI	Tri-state controlled through programmable user interface. MPEG transport data output. In serial mode, either MPEG_DATA_7 or MPEG_DATA_0 is selected as serial data output.
MPEG_CLK	35	TRI	Tri-state controlled through programmable user interface. MPEG clock output at the data byte rate in parallel mode and data bit rate in serial mode. Maximum period jitter is less than 15ns.
MPEG_VALID	34	TRI	Tri-state controlled through programmable user interface. Software configurable level (active high or low) to indicate valid bytes/bits for parallel and serial mode.
MPEG_SYNC	33	TRI	Tri-state controlled through programmable user interface. MPEG sync indicates the first byte of a packet in parallel mode and the first bit of a packet in serial mode.
MPEG_ERR	51	TRI	Tri-state controlled through programmable user interface. Software configurable level (active high or low) to indicate a packet error.

图16 AVL6361管脚定义图

第四章 整机信号流程分析及关键点测量数据

本章主要介绍长虹液晶电视 (ZLS46G 机芯) 的图像信号的接收及处理、声音信号的接收及处理、整机系统控制过程和整机供电系统。

一、音视频信号流程

1、ZLS46G 机芯共有 1 路 RF 输入、2 路 AV 输入、1 路 YPBPR 输入、1 路 VGA 输入、2 路 USB 输入、1 路 HDMI 输入和 1 路 AV 输出，输入电路均是经过匹配电路后直接与 TSUMV69XDS-SJ 相连，其连接关系如图 17：

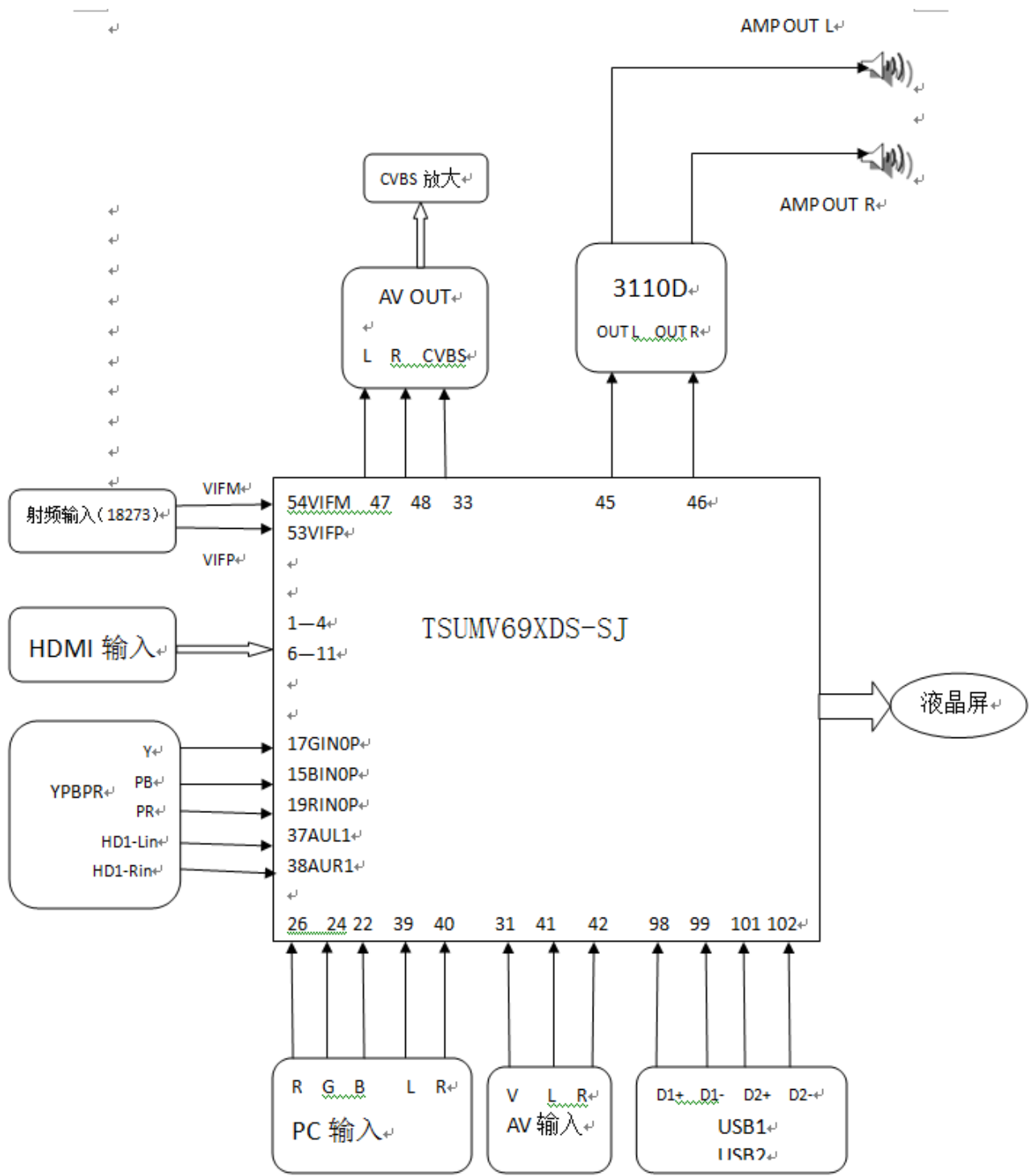


图 17 ZLS46G 机芯信号流程示意图

2、DTV 信号流程图

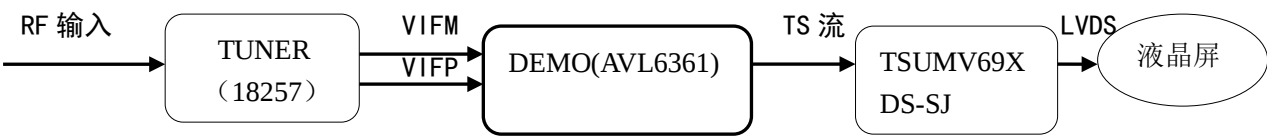


图 18 DTV 信号流程示意图

二、整机供电系统

从电源板共有 4 路电压输出，12V_in、BL_ON、BL_ADJ、STB。12V_in 为整机系统供电，通过 DCDC 芯片 SYC813 得到 5V_stb 电压，最终经过 LDO 转换成主板所需 3.3V、1.8V，供遥控、按键、FLASH 等使用，经过 DCDC 芯片 SYC812 得到主芯片所需 1.29V 电压。12V_in 同时给液晶屏 LVDS、TCON 显示以及主板伴音功放 3110D 供电。12V_in 同时给液晶屏 LVDS、TCON 显示以及主板伴音功放 3110D 供电。整机电源组成与分布见图 19：

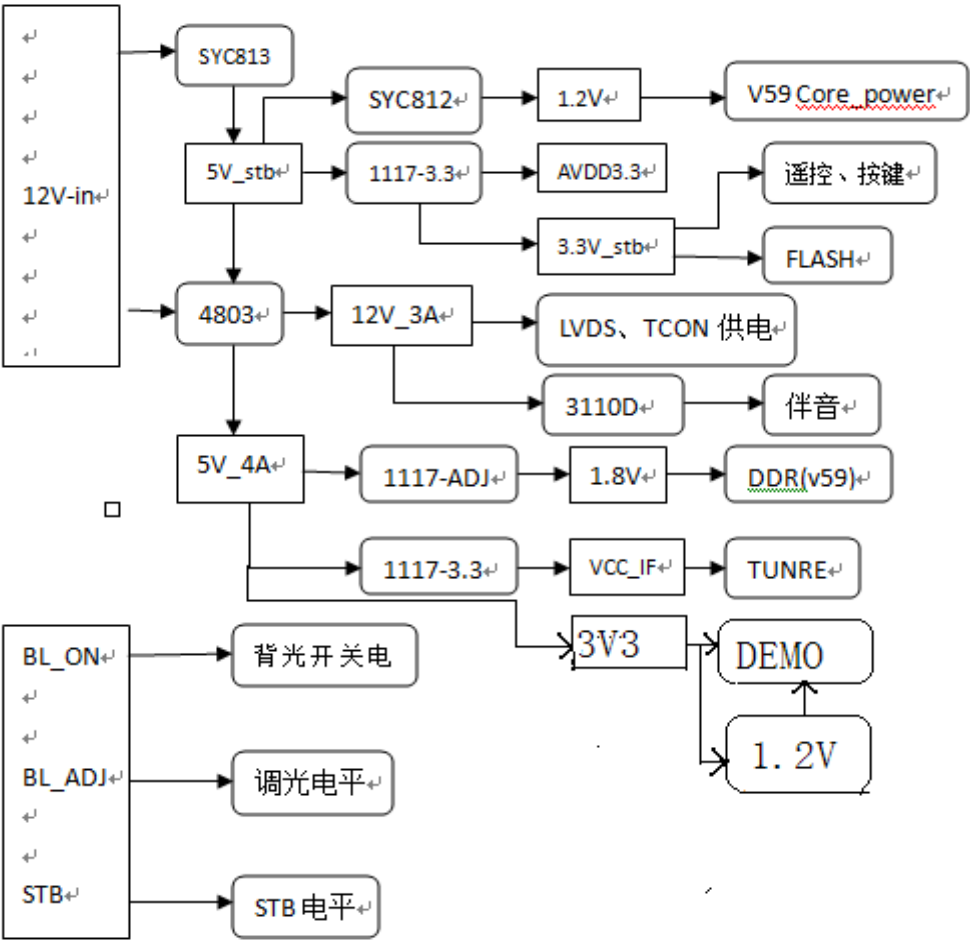


图 19 ZLS46G 机芯电源分配

三、主要供电电压对地阻抗如表 13：

表 13 主要供电电压对地阻抗

测试点	测试位置	测试值
+12V	J1的8、9、10脚	>1MΩ
BL-ON	J1的3脚	>20KΩ
BL-ADJ	J1的2脚	>20KΩ

STB	J1的1脚	>50K Ω
AVDD_1.2V	SYC812的1脚	>2000 Ω
5V_stb	SYC813的1脚	>30K Ω
+3.3V_Standby	U32的2脚或4脚	>700K Ω
VCC_IF	U25的2脚或4脚	>700 Ω
+1.8V_DDR	U41的2脚或4脚	>1000 Ω
VCC_PANEL	U2的源极（3脚）	>1M Ω
3V3	U9的2脚或4脚	>600 Ω
ASIC_1V2	U10的2脚或4脚	>200 Ω

四、关键点波形图（图 20—图 28）

1、射频输入全彩条信号，高频头 U27 第 6、7 脚输出中频信号，经过后端一系列处理后，插座 J12 AV-VOUT 全电视信号波形如图 20 所示：

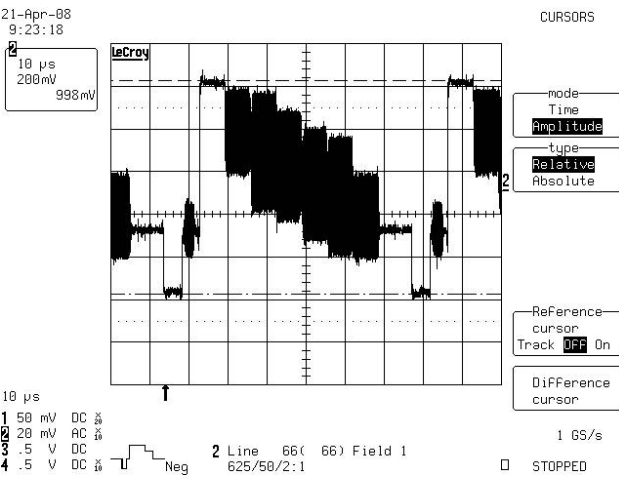


图 20 射频输入全彩条信号

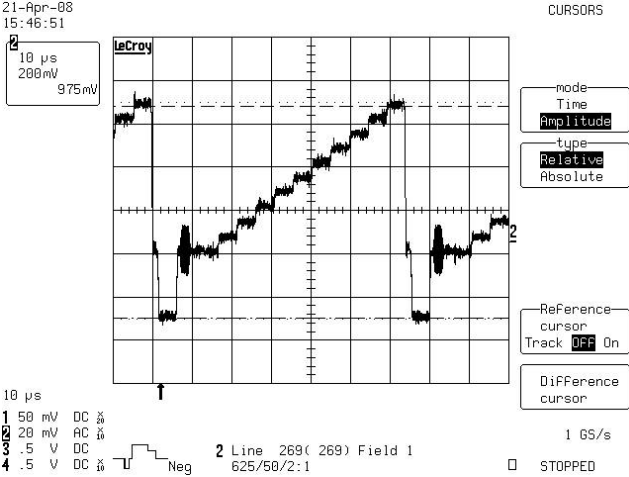


图 21 射频 11 灰阶信号波形

2、射频输入 11 灰阶信号，高频头 U27 第 6、7 脚输出中频信号，经过后端一系列处理后，插座 J12 AV-VOUT 全电视信号波形如图 21 所示。

3、HDTV（YPbPr）端子输入全彩条信号，J7 第 1 脚或 R188 的一端（YPbPr---Y 部分）波形如图 22 所示。

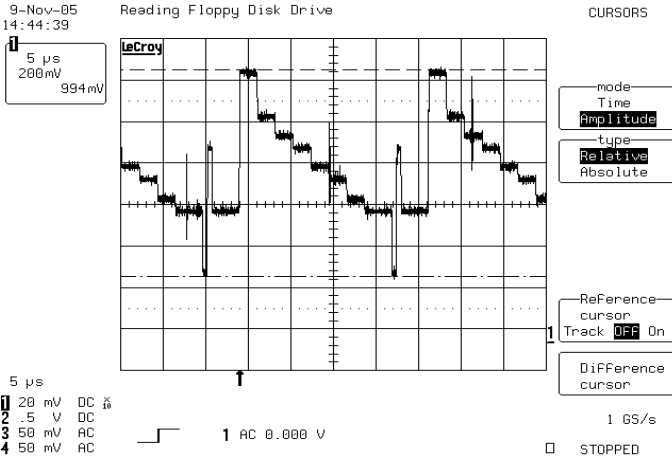


图 22 YPbPr 全彩条信号的 Y 信号波形

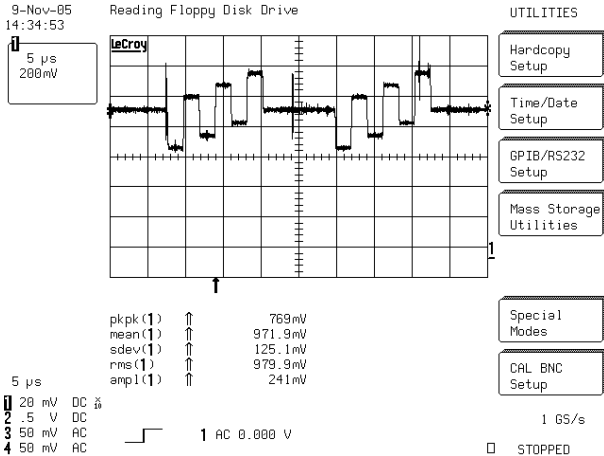


图 23 YPbPr 全彩条信号的 Pb 信号波形

J7 第 3 脚或者 R129 的一端（YPbPr---Pb 部分）波形如图 23 所示。

J7 第 5 脚或者 R196 的一端（YPbPr---Pr 部分）波形如图 24 所示。

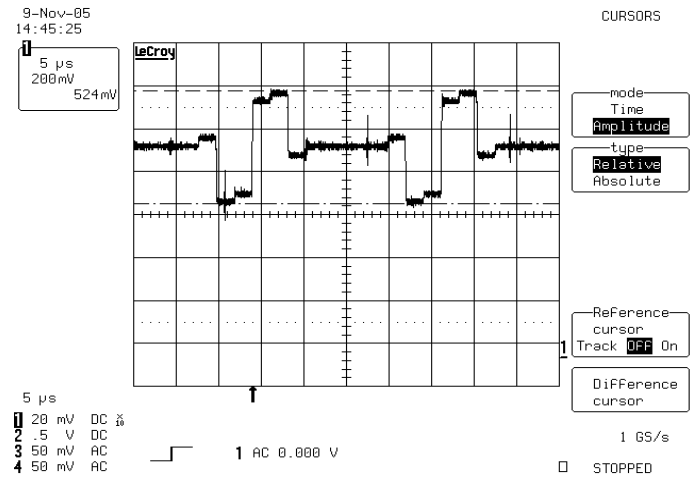


图 24 YPbPr 全彩条信号的 Pr 信号波形

4、频率为 1KHz 的伴音信号输出，运放 U802 输入端（CA153、CA139 处）波形（工厂 TV 白场信号下测试，以下伴音测试均如此）如图 25 所示。

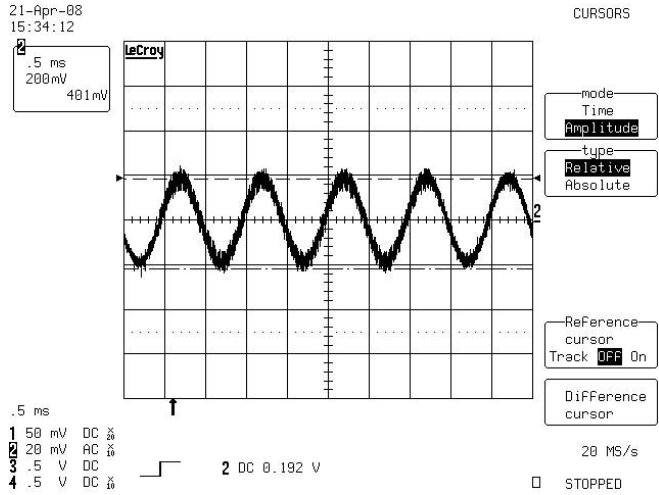


图 25 功放输入信号波形

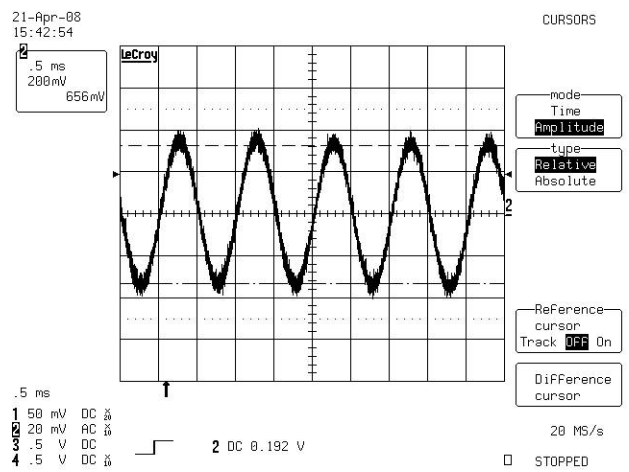


图 26 功放输入信号波形

5、频率为 1KHz 的伴音信号，功放 U802 输出端（CA17、CA18 处）波形如图 26 所示。

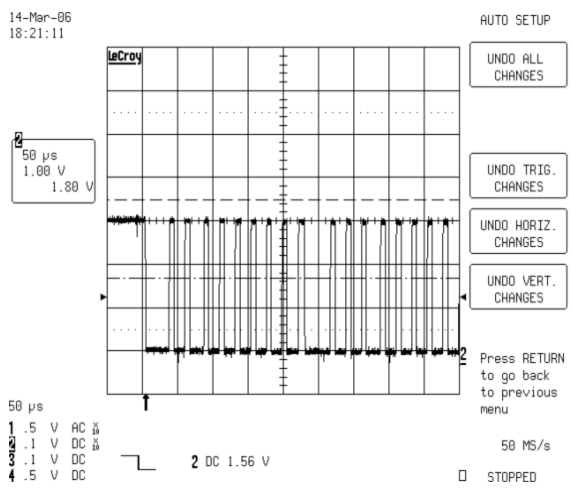


图 27 I2C 时钟波形

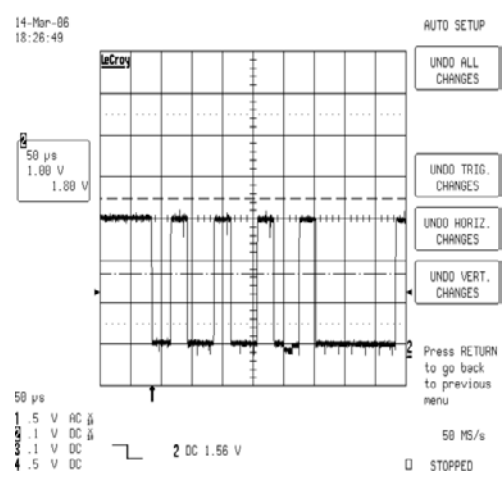


图 28 I2C 数据波形

7、射频输入全彩条信号，I²C 总线时钟信号 SCL，U27 的第 3 脚处波形如图 27 所示。

8、射频输入全彩条信号，I²C 总线数字信号 SDA，U24 的第 4 脚处波形如图 28 所示。

第五章 典型故障维修流程及实例

一、典型故障分析流程

1、交流上电不开机检查维修流程如图 29：

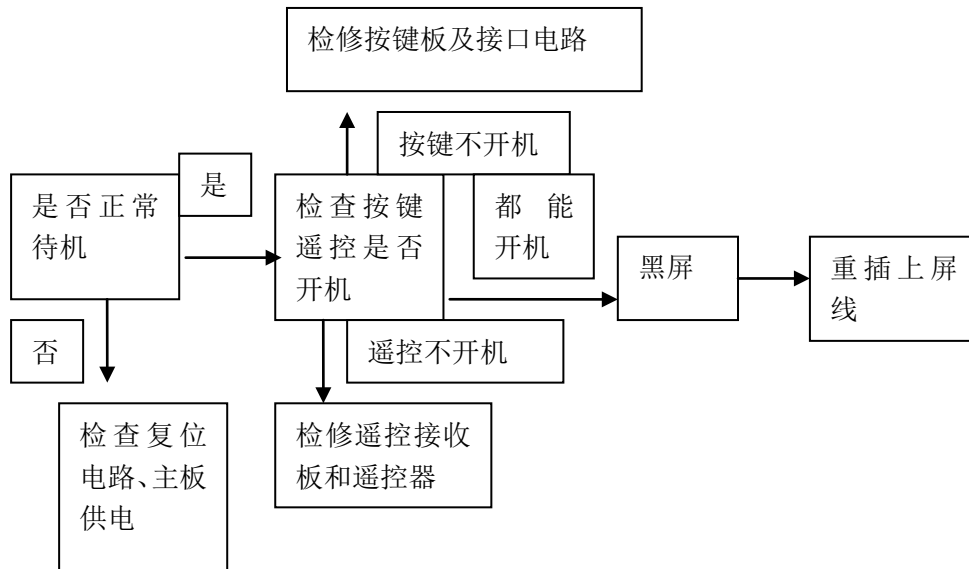


图 29 交流上电不开机维修流程

2、正常通电开机有图像，无声音检查维修流程如图 30。

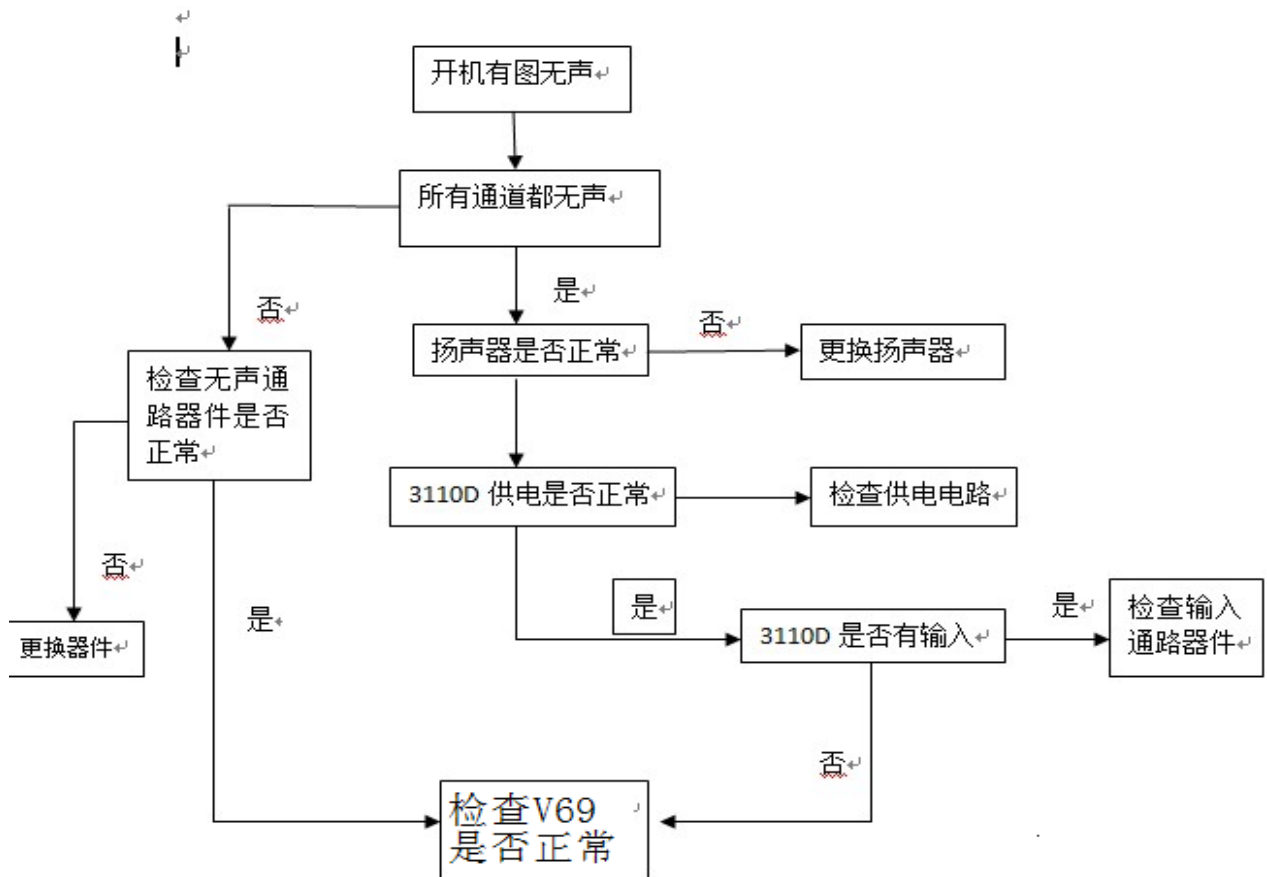


图 30 有图无声维修流程

二、维修实例

1、故障现象：有声音无图象背光亮。

原因及处理：检查上屏连接线是否接好，或者上屏线不匹配。

2、故障现象：有声音花屏，背光亮。

原因及处理：检查屏线是否接好，上屏线座子是否虚焊、连焊，检查屏参选择是否正常。

说明：通过遥控器按菜单+0816 进入工厂菜单，在机型屏参对应项选择整机对应的屏参。

3、故障现象：TV 下无图像、无声音，也无雪花点，但 AV 正常。

原因及处理：检查高频外围是否工作正常（包括总线、5V 电源及其它辅助电路），若正常高频头仍然没有输出，则高频头失效。

4、故障现象：搜台时漏台

原因及处理：检查高频外围是否工作正常（包括总线、5V 电源及其它辅助电路）。

第六章 维备件、易损件清单

表 14 的维修备件清单仅供参考，准确型号或规格请以公司最新资料为准。

表 14 维备件机芯组件清单

序号	物料名称	组件代号	应用机型	状态说明
1	主板组件	JUC6.690.00086242	ZLS46G 机芯 B2000、C2000、C3000 系列	不同尺寸机器需选择对应屏参和机型
2	按键板组件		ZLS46G 机芯 B2000、C2000、C3000 系列	具体组件型号跟整机机型相关，详见整机技术状态 BOM 存档资料
3	遥控接收板		ZLS46G 机芯 B2000、C2000、C3000 系列	具体组件型号跟整机机型相关，详见整机技术状态 BOM 存档资料
4	电源组件		ZLS46G 机芯 B2000、C2000、C3000 系列	具体电源型号跟整机机型相关，详见整机技术状态 BOM 存档资料
5	屏组件		ZLS46G 机芯 B2000、C2000、C3000 系列	具体屏模组型号跟整机机型相关，详见整机技术状态 BOM 存档资料

第七章 工厂模式设置及注意事项

一、进入工厂菜单

在 TV 模式下，然后按如下顺序输入：菜单-数字键 0-数字键 8-数字键 1-数字键 6 即可进入工厂模式菜单。

工厂菜单显示如下：

M 软件版本：LPC46-MXX-V1.01

编译时间：sep 3 2013 13:31:41

二、工厂菜单及其设置

索引号与调节项目对应关系如下表：

表 15 工厂菜单列表

索引号	项目名称	项目含义	操作键	备注
1	产品型号	当前产品的型号	左/右方向键	
	屏参选择	当前产品的屏参	左/右方向键	
	工厂频点	当前产品工厂频点	左/右方向键	

索引号	项目名称	项目含义	操作键	备注
3	ADC 校正	ADC 校正	左/右方向键	YPBPR/VGA 下 需要校正

索引号	项目名称	项目含义	操作键	备注
4	背光调节	背光调节	左/右方向键	0--100

索引号	项目名称	项目含义	操作键	备注
5	声音模式	声音平衡 音量大小 环绕声	左/右方向键	

索引号	项目名称	项目含义	操作键	备注
6	调谐模式	自动搜索 彩色制式 声音制式	左/右方向键	

索引号	项目名称	项目含义	操作键	备注
7	初始化数据	初始化数据	左/右方向键	

索引号	项目名称	项目含义	操作键	备注
8	进入 D 模式	进入设计模式	左/右方向键	设计参数，无 设计说明时， 请不要调整

索引号	项目名称	项目含义	操作键	备注
9	出厂设置	恢复出厂设置	左/右方向键	

三、维修中常用工厂菜单的调节方法

1、选择调节项目

通过“< / >”切换索引号, 然后通过“^ / v”选择索引下的调节项目。

2、选择屏参

在工厂模式索引 1, 通过“^ / v”选择到“屏参”, 再通过“< / >”选择正确的屏参。

3、ADC 校正

在进行工厂调试前, 必须首先完成自动颜色校正。分别在 YPBPR 和 PC 下进行校正。

调试步骤（分别在 YPBPR 和 PC 下调整）

- YPBPR 下 720P@60Hz 格式, 输入 100%全彩条信号, 确认仪表输出信号幅度范围空载时 1.4Vp-p±5%, 接 75Ω负载时 0.7Vp-p±5% (不含同步头), 仪表输出波形不能存在过冲等现象, 然后执行 ADC 校正。
- YPBPR 下 480P@60Hz 格式, 输入 100%全彩条信号, 确认仪表输出信号幅度范围空载时 1.4Vp-p±5%, 接 75Ω负载时 0.7Vp-p±5% (不含同步头), 仪表输出波形不能存在过冲等现象, 然后执行 ADC 校正。
- PC 下输入黑白窗口信号, 确认仪表输出信号幅度范围空载时 1.4Vp-p±5%, 接 75Ω负载时 0.7Vp-p±5%, 仪表输出波形不能存在过冲等现象, 然后进行自动彩色校正。该信号可以由 PC 下软件 DMW 产生, 图像类似如图 31:

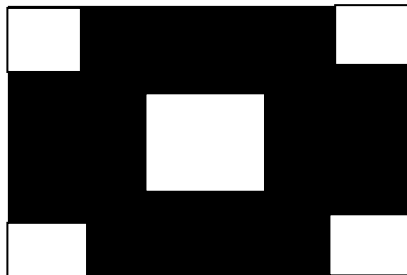


图 31 VGA 信号 ADC 校正图

4、维修中如果对工厂菜单参数有调整, 需要进行出厂设置, 为保证出厂设置正确, 必须等指示灯闪烁完毕, 本机待机时才能断电;

5、ZLS46G 机芯本地升级方法及步骤

第 1 步, 将升级程序拷贝到 U 盘根目录, 文件名必须采用设计提供的名称;

第 2 步, 开启主机, 将信源切换到 TV 源, 将 U 盘插入 USB1 接口;

第 3 步, 在设置—服务选项下, 执行软件升级, 按提示操作即可。

第 4 步, 系统升级完成后进入工厂 M 模式, 执行初始化数据后, 遥控待机退出工厂模式。

注: 如果 FLASH 是空白, 没有程序, 则无法使用 USB 升级, 必须采用工装升级, 具体升级方法请咨询软件人员。

附: 一、长虹 ZLS46G 机芯液晶电视原理图 (将以附件形式附带)